



2631  
1 pw

PATENT  
2080-3-52

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
In Hwan Choi et al.  
Serial No: 09/991,439  
Filed: November 16, 2001  
For: DIGITAL VSB TRANSMISSION SYSTEM

Art Unit: 2631

Examiner:

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

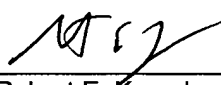
Enclosed herewith is a certified copy of Korean patent application No. 2001-0032610 which was filed on June 11, 2001 from which priority is claimed under 35 U.S.C. Section 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: February 9, 2005

By: \_\_\_\_\_

  
Robert E. Kasody  
Registration No. 50,268  
Attorney for Applicant(s)

Lee, Hong, Degerman, Kang & Schmadeka  
801 N. Figueroa Street, 14th Floor  
Los Angeles, California 90017  
Telephone: (213) 623-2221  
Facsimile: (213) 623-2211



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 32610 호  
Application Number PATENT-2001-0032610

출원년월일 : 2001년 06월 11일  
Date of Application JUN 11, 2001

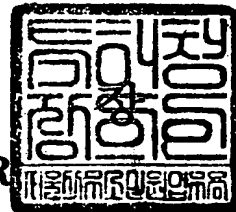
출원인 : 엘지전자주식회사  
Applicant(s) LG ELECTRONICS INC.



2001 년 09 월 19 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF  
PRIORITY DOCUMENT

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.06.11
【국제특허분류】	H04N
【발명의 명칭】	디지털 V S B 전송 시스템
【발명의 영문명칭】	Digital vestigial sideband transmit system
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2000-005155-0
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2000-005154-2
【발명자】	
【성명의 국문표기】	최인환
【성명의 영문표기】	CHOI, In Hwan
【주민등록번호】	740713-1143517
【우편번호】	153-034
【주소】	서울특별시 금천구 시흥4동 173-16
【국적】	KR
【발명자】	
【성명의 국문표기】	구영모
【성명의 영문표기】	GU, Young Mo
【주민등록번호】	690420-1011720
【우편번호】	150-040

**【주소】** 서울특별시 영등포구 당산동 2가 현대아파트 107동 1105호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 강경원  
**【성명의 영문표기】** KANG, Kyung Won  
**【주민등록번호】** 750214-1031612  
**【우편번호】** 120-180  
**【주소】** 서울특별시 서대문구 창천동 4-70 101호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 광국연  
**【성명의 영문표기】** KWAK, Kook Yeon  
**【주민등록번호】** 561017-1386111  
**【우편번호】** 431-080  
**【주소】** 경기도 안양시 동안구 호계동 목련 신동아아파트 901-503  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
 김용인 (인) 대리인  
 심창섭 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 16 면 16,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 45,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

기존의 ATSC 8T-VSB 수신 시스템과 호환 가능하면서 별도의 부가 데이터를 전송할 수 있는 VSB 전송 시스템에 관한 것으로서, 특히 부가 데이터 심볼을 1/2 길쌈 부호화한 후 미리 정의된 시퀀스와 다중화하여 전송함으로써, 미리 정의된 시퀀스만을 사용한 디지털 VSB 전송 시스템에 비해서 부가 데이터에 대해 더 큰 부호화 이득을 얻을 수 있으며, 또한 1/2 길쌈 부호화만을 사용한 디지털 VSB 전송 시스템에 비해서 채널의 고스트에 대한 수신 성능을 개선할 수 있다.

**【대표도】**

도 9

**【색인어】**

천공 비트, 미리 정의된 시퀀스, 길쌈 부호화

**【명세서】****【발명의 명칭】**

디지털 VSB 전송 시스템{Digital vestigial sideband transmit system}

**【도면의 간단한 설명】**

도 1은 ATSC 8T-VSB 송신 시스템

도 2는 ATSC 8T-VSB 수신 시스템

도 3은 본 발명의 디지털 텔레비전 방송용 VSB 송신 시스템

도 4는 널 시퀀스 삽입을 설명하는 다이어그램

도 5는 트렐리스 부호기 및 프리코더의 구성을 보여주는 블록도

도 6은 본 발명의 디지털 VSB 전송 시스템에서 1/2 부호율 부호기 및 1/2 부호율로 부호화된 데이터와 미리 정의된 시퀀스를 다중화하는 멀티플렉서가 트렐리스 부호기에 연접하는 상태를 보인 구성 블록도

도 7은 본 발명에 따른 피드백 형태의 1/2 길쌈 부호기를 일반화한 구성 블록도

도 8a는 도 7에서 레지스터가 2개인 경우의 1/2 길쌈 부호기의 구성 블록도

도 8b는 도 7에서 레지스터가 3개인 경우의 1/2 길쌈 부호기의 구성 블록도

도 8c는 도 7에서 레지스터가 4개인 경우의 1/2 길쌈 부호기의 구성 블록도

도 9는 본 발명에 따른 디지털 VSB 전송 시스템에서 부가 데이터 심볼 처리부의 상세 블록도

도 10은 본 발명에 따른 디지털 VSB 전송 시스템에서 제어 신호 발생부의 상세 블록도

도 11은 도 9, 도 10의 부가 데이터 심볼 처리부와 제어 신호 발생부가 적용된 본 발명의 디지털 VSB 전송 시스템의 구성 블록도

도면의 주요 부분에 대한 부호의 설명

31 : 1/2 부호율 부호기 32 : 멀티플렉서

33 : 프리 코더 34 : 트렐리스 부호기

61 : 부가 데이터 처리부 62 : 멀티플렉서

63 : 제 1 부호화부 64 : 제어 신호 발생부

65 : 부가 데이터 심볼 처리부 66 : 제 1 복호화부

67 : 8T-VSB 송신부

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 기존의 ATSC 8T-VSB 수신 시스템과 호환 가능하면서 별도의 부가 데이터를 전송할 수 있는 VSB 전송 시스템에 관한 것이다.

<22> 미국에서는 지상파 디지털 방송을 위해 ATSC 8T-VSB(8 Trellis-Vestigial Sideband) 전송 방식을 1995년 표준으로 채택하여 1998년 하반기부터 방송을 하고 있으며, 우리 나라에서도 미국 방식과 동일한 ATSC 8T-VSB 전송 방식을 표준

으로 채택하여 1995년 5월 실험 방송을 시작하였고 2000년 8월 31일 시험 방송 체제로 전환하였다.

- <23> 도 1은 종래 ATSC 8T-VSB 송신 시스템을 나타낸 것이다.
- <24> 도 1에서, 데이터 랜더마이저(1)는 데이터를 랜덤하게 하여 리드 솔로몬 부호기(2)로 출력하며, 상기 리드 솔로몬 부호기(2)는 상기 랜더마이저된 데이터를 리드 솔로몬 부호화하여 상기 데이터 내에 20 바이트의 패리티 부호를 첨가한 후 데이터 인터리버(3)로 출력한다. 상기 데이터 인터리버(3)는 데이터를 인터리빙하여 트렐리스 부호기(4)로 출력하며, 상기 트렐리스 부호기(4)는 인터리빙된 데이터를 바이트에서 심볼로 변환시킨 후 트렐리스 부호화한다. 멀티플렉서(5)에서는 트렐리스 부호화된 심볼열과 동기 신호들을 멀티플렉싱하여 파일럿 삽입기(6)로 출력하며, 상기 파일럿 삽입기(6)는 파일럿 신호를 상기 멀티플렉싱된 심볼열에 추가한다. VSB 변조기(7)는 상기 파일럿 삽입기(6)에서 출력되는 심볼열을 8T-VSB 신호로 변조하여 RF 변환기(8)로 출력한다. 상기 RF 변환기(8)는 8T-VSB 신호로 변조된 기저 대역 신호를 RF 대역 신호로 변환하고 상기 RF 대역 신호는 안테나(9)를 통해 수신 시스템을 향해 전송된다.
- <25> 도 2는 종래 ATSC 8T-VSB 수신 시스템을 나타낸 것이다.
- <26> 도 2에서 복조기(11)는 안테나(10)를 통해 수신된 RF 대역의 신호를 기저 대역의 신호로 바꾸고, 동기 및 타이밍 복구기(도시되지 않음)는 세그먼트 동기 신호, 필드 동기 신호, 그리고 심볼 타이밍을 복구한다. 한편, 콤 필터(12)는 NTSC 간섭 신호를 제거하고, 채널 등화기(13)는 슬라이서 예측기(14)를 사용하여 전송 중에 왜곡된 채널을 보정한다. 상기 위상 복원기(15)는 수신된 신호의 위



상을 복원하고, 트렐리스 복호기(16)는 위상 복원된 신호 상에 비터비 복호를 수행하여 심볼을 바이트로 변환한 후 데이터 디인터리버(17)로 출력한다. 상기 데이터 디인터리버(17)는 상기 VSB 전송 시스템의 데이터 인터리버(3)의 역동작을 수행하여 리드 솔로몬 복호기(18)로 출력하고, 상기 리드 솔로몬 복호기(18)는 리드 솔로몬 부호화된 신호를 복호한다. 한편, 데이터 디랜더마이저(19)는 상기 전송 시스템 내 상기 데이터 랜더마이저(1)의 역동작을 수행한다.

**【발명이 이루고자 하는 기술적 과제】**

<27> 즉, 북미 및 국내에서 디지털 방송 표준으로 채택된 8T-VSB 전송 방식은 MPEG 영상/음향 데이터의 전송을 위해 개발된 시스템이다. 그러나, 요즘 디지털 신호처리 기술이 급속도로 발전하고, 인터넷이 널리 사용됨에 따라서 디지털 가전과 컴퓨터 및 인터넷 등이 하나의 큰 틀에 통합되어 가는 추세이다. 따라서, 사용자의 다양한 요구를 충족시키기 위해서는 디지털 방송 채널을 통하여 영상/음향 데이터에 더하여 각종 부가 데이터를 전송할 수 있는 시스템의 개발이 필요하다.

<28> 그리고, 부가 데이터 방송의 일부 이용자는 간단한 형태의 실내 안테나가 부착된 PC 카드 또는, 포터블 기기를 이용하여 부가 데이터 방송을 수신할 것으로 예측되는데, 실내에서는 벽에 의한 차단과 근접 이동체의 영향으로 신호 세기가 크게 감소하고, 반사파로 인한 고스트와 잡음의 영향으로 방송 수신 성능이 떨어지는 경우가 발생할 수 있다. 그런데, 일반적인 영상/음향 데이터와는 달리 부가 데이터 전송의 경우에는 보다 낮은 오류율을 가져야 한다. 영상/음향 데이터의 경우에는 사람의 눈과 귀가 감지하지 못하는 정도의 오류는 문제가 되지 않

는 반면에, 부가 데이터의 경우에는 한 비트의 오류가 발생해도 심각한 문제를 일으킬 수 있다. 따라서, 채널에서 발생하는 고스트와 잡음에 더 강한 시스템의 개발이 필요하다.

<29> 이때, 부가 데이터 전송은 통상, MPEG 영상/음향과 동일한 채널을 통해 시분할 방식으로 이루어질 것이다. 그런데, 디지털 방송이 시작된 이후로 시장에는 이미 MPEG 영상/음향만 수신하는 ATSC VSB 디지털 방송 수신기가 널리 보급되어 있는 상황이다. 따라서, MPEG 영상/음향과 동일한 채널로 전송되는 부가 데이터가 기존에 시장에 보급된 기존 ATSC VSB 전용 수신기에 아무런 영향도 주지 않아야 한다. 이와 같은 상황을 ATSC VSB 호환으로 정의하며, 부가 데이터 방송 시스템은 ATSC VSB 시스템과 호환 가능한 시스템이어야 할 것이다.

<30> 이러한 문제점을 해결하기 위하여 본 출원인은 관련 특허를 기 출원한 바 있다(출원번호 : P01-3304, 출원일 : 2001.1.19).

<31> 본 발명의 목적은 기존의 ATSC 8T-VSB 수신 시스템과 호환이 가능하도록 부가 데이터를 전송하는 디지털 VSB 전송 시스템을 제공함에 있다.

<32> 본 발명의 다른 목적은 미리 정의된 시퀀스와 1/2 부호율로 부호화된 부가 데이터를 다중화시켜 전송함으로써, 더 큰 부호화 이득을 얻으면서 채널의 고스트에 대한 수신 성능을 향상시키는 디지털 VSB 전송 시스템을 제공함에 있다.

#### 【발명의 구성 및 작용】

<33> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 디지털 VSB 전송 시스템은, 부가 데이터에 대해 리드-솔로몬 부호화, 인터리빙, 미리 정의된 시퀀스 삽

입을 수행한 후 MPEG 헤더를 삽입하여 MPEG 트랜스포트 패킷의 포맷으로 변환하는 부가 데이터 처리부와, 상기 부가 데이터와 MPEG 방송 데이터를 다중화하여 출력하는 다중화부와, 상기 다중화된 데이터에 대해 데이터 랜덤마이즈, 리드 솔로몬 부호화에 의한 패리티 부가, 데이터 인터리빙 및 바이트-심볼 변환을 순차적으로 수행하는 제 1 부호화부와, 입력되는 데이터가 부가 데이터가 아닌 경우는 그대로 출력하고 부가 데이터인 경우 상기 제 1 부호화부에서 출력되는 데이터에 대해 1/2 부호율로 부호화한 후 제어 신호에 따라 상기 부호화된 데이터와 상기 미리 정의된 시퀀스를 다중화하여 출력하는 부가 데이터 심볼 처리부와, 입력되는 데이터가 부가 데이터인지를 판별하고 판별 결과에 해당하는 부가 데이터 심볼 지시 신호, 및 부호화된 데이터와 미리 정의된 시퀀스의 다중화를 제어하는 제어 신호를 생성하여 상기 부가 데이터 심볼 처리부로 출력하는 제어 신호 발생부와, 상기 부가 데이터 심볼 처리부의 출력 데이터에 대해 심볼-바이트 변환, 데이터 디인터리빙을 수행한 후 상기 제 1 부호화부에서 부가된 리드 솔로몬 패리티를 상기 디인터리빙된 데이터로부터 제거하는 제 1 복호화부와, 상기 제 1 복호화부에서 출력되는 데이터에 대해 트렐리스 부호화, 리드 솔로몬 부호화에 의한 패리티 부가, 데이터 인터리빙을 수행한 후 VSB 전송 방식으로 변조하여 전송하는 VSB 송신부를 포함하여 구성되는 것을 특징으로 한다.

<34> 바람직하게는 상기 부가 데이터 심볼 처리부는 상기 제 1 부호화부에서 출력되는 부가 데이터를 그대로 출력함과 동시에 상기 부가 데이터에 대해 1/2 부호율로 부호화하여 패리티 비트를 발생하는 피드백 형태의 1/2 길쌈 부호기와,

상기 제어 신호에 따라 상기 1/2 부호율로 부호화된 패리티 비트와 상기 미리 정의된 시퀀스를 다중화하여 출력하는 선택부로 구성된 것을 특징으로 한다.

<35> 바람직하게는 상기 피드백 형태의 1/2 길쌈 부호기는 상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과, 길쌈 부호화된 하위 비트의 값을 피드백받아 소정값을 곱하는 곱셈기와, 상기 부가 데이터의 정보 비트를 입력받아 소정값을 곱하는 곱셈기와, 상기 두 곱셈기의 출력과 바로 전단의 레지스터의 출력을 더하는 가산기와, 상기 가산기의 출력을 일시 저장하는 레지스터를 포함하는 구조가 M(M은 자연수)개 직렬로 구비되며, 상기 곱셈기에 곱해지는 소정값은 0 또는 1의 값을 갖는 것을 특징으로 한다.

<36> 바람직하게는 상기 제 2 부호화부는 상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과, 입력되는 데이터가 부가 데이터가 아닌 경우에는 바로 뒷단의 레지스터에서 피드백되는 값을 선택하고, 부가 데이터인 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 1 선택부와, 상기 제 1 선택부를 통해 출력되는 값을 일시 저장하는 제 1 레지스터와, 상기 제 1 레지스터의 출력과 상기 부가 데이터의 정보 비트를 더하는 가산기와, 입력되는 데이터가 부가 데이터인 경우에는 상기 가산기에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 2 선택부와, 상기 제 2 선택부를 통해 출력되는 값을 일시 저장하는 제 2 레지스터와, 일정한 패턴이 반복되는 제어 신호에 따라 상기 제 2 레지스터의 출력 또는, 하위 비트로 입력되는 미리 정의된 시퀀스를 선택하여 출력하는 제 3 선택부와, 입력되는 데이터가 부가 데이터인 경우에는 상기 제 3 선택

택부에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 하위 비트로 입력되는 값을 선택하여 하위 비트 출력단으로 출력하는 제 4 선택부로 구성되며, 상기 제 1 레지스터, 가산기, 및 제 2 선택부는 상기 제 1 레지스터의 수만큼 직렬로 구성되는 것을 특징으로 한다.

<37> 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

<38> 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.

<39> 도 3 내지 도 5는 본 출원이 기 출원한 특허(P01-3304, 2001.1.19)에 도시된 도면으로서, 종래 ATSC 8T-VSB 시스템과 호환 가능하고 MPEG 데이터는 물론 부가 데이터를 함께 전송할 수 있다.

<40> 도 3을 보면, 리드-솔로몬 부호기(20), 데이터 인터리버(21), 널 시퀀스 삽입부(22), 및 MPEG 헤더 삽입부(23)는 부가 데이터를 처리하는 부분으로서, 부가 데이터를 MPEG 트랜스포트 패킷과 동일한 구조로 만든다.

<41> 즉, 리드 솔로몬 부호기(20)는 부가 데이터를 리드 솔로몬 부호화하여 20바이트의 패리티 부호를 첨가하고, 데이터 인터리버(21)는 버스트 잡음에 대한 성능을 높이기 위하여 상기 패리티가 부가된 부가 데이터를 인터리빙한 후 널 시퀀스 삽입부(22)로 출력하여 상기 부가 데이터에 널 시퀀스를 삽입한다. 여기서, 널 시퀀스를 삽입하는 이유는 열악한 채널 환경에서도 수신이 잘될 수 있도록 하기 위해서이다.

- <42> 도 4는 도 3의 널 시퀀스 삽입부(22)에서 부가 데이터에 미리 정한 시퀀스를 삽입하는 과정을 설명하는 다이어그램으로서, 1개 비트의 부가 데이터가 입력되면 도 4와 같이 1개 비트의 널 비트를 삽입하여 2개의 비트를 출력하므로, 한 개의 바이트가 입력되면 두 개의 바이트로 출력된다.
- <43> 한편, MPEG 헤더 삽입부(23)는 상기 널 시퀀스가 삽입된 부가 데이터에 3바이트의 MPEG 헤더를 삽입하여 MPEG 트랜스포트 패킷과 동일한 포맷으로 만든다. 이렇게 만들어진 부가 데이터는 멀티플렉서(24)에서 기존의 MPEG 트랜스포트 패킷 즉, MPEG 영상/음향 데이터와 시분할 다중화되어 8T-VSB 송신부(25)로 출력된다. 상기 8T VSB 송신부(25)는 상기된 도 1과 동일한 구성으로 이루어진다.
- <44> 즉, 164 바이트의 부가 데이터 패킷이 리드 솔로몬 부호기(20)에서 리드 솔로몬 부호화되어 184바이트의 패킷으로 변환되고, 이것이 데이터 인터리버(21)에서 인터리빙되어 순서가 바뀐 후에 널 시퀀스 삽입부(22)에서 널 시퀀스가 삽입되면 2개의 184 바이트 패킷이 출력된다. 그리고, MPEG 헤더 삽입부(23)에서 각 각의 패킷에 3바이트의 MPEG 트랜스포트 헤더가 추가되면, 2개의 187 바이트의 패킷이 멀티플렉서(24)로 출력되고, 이렇게 생성된 2개의 패킷은 각각 VSB 시스템의 세그먼트 단위로 MPEG 트랜스포트 패킷과 다중화된 후 8T VSB 송신부(25)를 통해 전송된다.
- <45> 이때, 상기 부가 데이터에 삽입된 널 비트는 8T-VSB 송신부(25) 내에서 랜더마이징되고, 이어서 리드 솔로몬 부호화된다. 이어, 상기 리드 솔로몬 부호화된 부가 데이터의 널 비트는 인터리빙된 후 트렐리스 부호기(도시되지 않음)의

한 입력(d0)으로 인가된다. 또한, 상기 부호화된 부가 데이터 즉, 부가 데이터에 대한 정보를 포함하는 정보 비트는 상기 트렐리스 부호기의 다른 입력(d1)으로 인가된다. 여기서, 상기 입력 신호(d0)는 상기 트렐리스 부호기의 두 입력 비트들 중 하위 비트에 해당하고, 입력 신호(d1)는 상위 비트에 해당한다. 그리고, 널 비트가 전술한 바와 같은 처리 과정을 거쳐 트렐리스 부호기의 하위 비트로 입력되는 비트의 열을 설명의 편의상 미리 정의된 시퀀스라 칭한다.

<46> 즉, 상기 부가 데이터에 삽입한 널 비트는 전술된 바와 같이 미리 정의된 시퀀스로 바뀌어 트렐리스 부호기의 하위 비트(d0)로 입력된다. 그러면, 수신기에서는 이러한 미리 정한 시퀀스를 동일하게 발생시켜 채널 등화기에서 사용하는 슬라이서 및 슬라이서 예측기의 성능을 향상시킬 수 있고, 또한 트렐리스 복호시에도 이 정보를 이용하여 성능을 개선할 수가 있다.

<47> 도 5는 도 3의 ATSC 8T-VSB 송신부(25)에서 사용하는 트렐리스 부호기의 구성을 나타낸 다이어그램으로서, 트렐리스 부호기(28)의 상위 비트(d1)에 프리 코더(pre coder)(27)가 부가된 형태이다.

<48> 이때, 상기 트렐리스 부호기(28) 및 프리코더(27)는 두 개의 입력 비트들(d0)(d1)에 대해 부호화를 수행하여 세 개의 출력 비트들(c0)(c1)(c2)을 출력한다. 미설명 부호 29는 8T-VSB 변조기로서, 상기 트렐리스 부호기(28) 및 프리코더(27)로부터 출력되는 세 개의 출력 비트들(c0)(c1)(c2)을 해당하는 8 레벨의 변조값(z)을 출력한다. 또한, 도 5에서, 27a 및 28b는 가산기를, 27b, 28a, 및 28c는 레지스터들을 지시한다. 그리고, 상기 트렐리스 부호기(28)와 프리코더(27)를 합하여 트렐리스 부호기라 칭하기도 한다.

<49> 즉, 도 5에 나타난 바와 같이, 입력 비트(d1)는 상기 프리코더(27)에 의해서 프리 코딩되어 출력 비트(c2)로 되고, 입력 비트(d0)는 그대로 출력 비트(c1)로 치환된다. 한편, 출력 비트(c0)는 상기 트렐리스 부호기(28)의 레지스터(28c)에 저장된 값에 의해 결정된다. 그리고, 상기 트렐리스 부호기(28) 및 프리코더(27)의 출력 비트열(c0,c1,c2)에 따라 8T-VSB 변조기(29)의 신호 레벨(z)이 결정된다.

<50> 그러면, 부가 데이터를 수신할 수 없는 기존의 8T VSB 수신기에서는 이러한 트랜스포트 패킷의 헤더에 주어진 PID(Packet Identification)를 통하여 기존의 MPEG 트랜스포트 패킷만을 선택하여 디지털 방송을 수신하고, 부가 데이터 패킷은 버리게 된다. 한편, 부가 데이터까지 수신할 수 있는 수신기는 다중화 정보를 이용하여 MPEG 트랜스포트 데이터와 부가 데이터 패킷을 역다중화한 후 부가 데이터 패킷을 처리한다.

<51> 한편, 보다 큰 부호화 이득을 얻기 위하여 상기 부가 데이터 심볼에 포함된 미리 정의된 시퀀스를 전송하는 대신에, 부가 데이터 심볼을 1/2 부호율로 부호화하여 얻어진 패리티 비트를 전송하는 방법이 본 출원인에 의해 출원된 바 있다(출원번호 : P01-21446, 출원일 : 2001.4.20).

<52> 본 발명은 부가 데이터 심볼에 포함된 미리 정의된 시퀀스와 상기 부가 데이터 심볼을 1/2 부호율로 부호화하여 얻어진 패리티 비트를 다중화시켜 전송함으로써, 미리 정의된 시퀀스를 전송함에 의해 얻어진 고스트 제거 능력을 유지하면서 동시에 추가의 부호화를 통해 더 큰 부호화 이득을 얻는데 있다.



- <53> 이때, 부가 데이터의 전송율을 떨어뜨리지 않기 위해서 1/2 부호율의 부호 대신에 이를 바탕으로 한 천공 부호(punctured code)를 사용하고, 천공된 비트에 대해서는 부가 데이터 심볼에 포함되어 있던 미리 정의된 시퀀스를 전송한다.
- <54> 도 6은 이를 나타낸 구성 블록도로서, 1/2 부호율 부호기와 트렐리스 부호기가 연결된 모습을 보여준다.
- <55> 도 6을 보면, 정보 비트(d1)를 입력받아 그대로 프리 코더(33)로 출력함과 동시에 상기 정보 비트(d1)를 1/2 부호율로 부호화하여 패리티 비트를 생성하는 1/2 부호율 부호기(31), 및 천공 제어 신호에 따라 상기 패리티 비트 또는 미리 정의된 시퀀스(d0)를 선택하여 상기 트렐리스 부호기(34)로 출력하는 멀티플렉서(32)로 구성된다.
- <56> 이와 같이 구성된 도 6에서, 부가 데이터 심볼은 2비트(d1,d0)로 구성되며, 그 중 정보 비트 d1은 1/2 부호율 부호기(31)로 출력되고, 미리 정의된 시퀀스 d0는 멀티플렉서(32)로 출력된다.
- <57> 상기 1/2 부호율 부호기(31)는 정보 비트(d1)를 그대로 프리코더(33)로 출력함과 동시에 상기 정보 비트(d1)를 1/2 부호율로 부호화하여 패리티 비트를 생성한 후 상기 멀티플렉서(32)로 출력한다.
- <58> 상기 멀티플렉서(32)는 천공 제어 신호에 따라 상기 패리티 비트 또는 미리 정의된 시퀀스를 선택하여 트렐리스 부호기(34)로 출력한다.
- <59> 여기서, 상기 천공 제어 신호는 부가 데이터 심볼에만 해당하는 제어 신호로서, 일정한 패턴이 반복된다.

- <60> 예를 들어, 상기 천공 제어 신호가 10이 계속 반복되는 경우라면 1/2 부호율을 부호기(31)의 패리티 비트와 미리 정의된 시퀀스가 멀티플렉서(31)를 통해 교대로 출력되는 경우에 해당한다. 이렇게 되면 2개의 정보 비트가 입력되어 3개의 비트가 출력되는 구조이므로 천공 부호의 부호율은  $\frac{2}{3}$  가 된다.
- <61> 한편, 100의 패턴이 반복되는 경우에는, 한번 즉, 천공 제어 신호가 1인 경우는 1/2 부호율 부호기(31)의 패리티 비트가 멀티플렉서(32)를 통해 출력되고, 두 번 즉, 천공 제어 신호가 0인 경우는 미리 정의된 시퀀스가 멀티플렉서(32)를 통해 출력되는 경우이므로 천공 부호의 부호율은  $\frac{3}{4}$  이다.
- <62> 이때, 상기 천공 패턴의 길이 및 값은 임의로 조절할 수가 있으며, 천공 패턴이 모두 1인 경우에는 1/2 부호율 부호기(31)만을 사용하여 전송하는 경우와 같다. 즉, 천공 제어 신호가 모두 1인 경우에는 상기 멀티플렉서(32)는 1/2 부호율 부호기(31)의 패리티 비트만을 선택하여 트렐리스 부호기(34)로 출력한다. 이때는 미리 정의된 시퀀스는 전송되지 않는다.
- <63> 한편, 천공 패턴이 모두 0인 경우에는 미리 정의된 시퀀스만을 전송하는 경우와 같다. 즉, 천공 제어 신호가 모두 0인 경우에는 상기 멀티플렉서(32)는 미리 정의된 시퀀스만을 선택하여 트렐리스 부호기(34)로 출력한다. 이때는 1/2 부호율 부호기(31)에서 부호화된 패리티 비트는 전송되지 않는다.
- <64> 따라서, 본 발명은 두 전송 시스템을 모두 포함하는 일반화된 시스템이라 할 수 있다.

<65> 한편, 상기 1/2 부호율 부호기(31)에서 1/2 부호율로 부호화되어 얻어지는 패리티 비트는 트렐리스 부호기(34)에 의해 다시 부호화되므로, 상기 1/2 부호율 부호기(31)는 기존의 트렐리스 부호기와 같은 피드백 형태의 길쌈 부호기를 사용하는 것이 바람직하다.

<66> 도 7은 레지스터의 개수가 M개인 피드백 형태의 체계적 1/2 길쌈 부호기를 일반화한 본 발명의 구성 블록도로서, 정보 비트  $u$ 는 출력 비트  $d1'$ 으로 그대로 출력되고, 상기 정보 비트  $u$ 를 부호화한 패리티 비트  $d0'$ 는 레지스터  $r1$ 의 값이 출력된다.

<67> 즉, 도 7은 길쌈 부호화된 하위 비트  $d0'$  즉, 최종단의 레지스터( $r1$ )의 값을 피드백받아 소정값을 곱하는 곱셈기( $h1$ ), 상기 정보 비트  $u$ 를 입력받아 소정값을 곱하는 곱셈기( $g1$ ), 상기 두 곱셈기( $h1, g1$ )의 출력과 바로 전단의 레지스터의 출력을 더하는 가산기, 및 상기 가산기의 출력을 일시 저장하는 레지스터( $r1$ )를 포함하는 구조가 M개 직렬로 구비되어, 하나의 입력 비트( $u$ )를 두 개의 출력 비트( $d1', d0'$ )로 출력한다. 여기서, 상기 곱셈기에 곱해지는 소정값 즉,  $g_i, h_i \in \{0, 1\}$ 이며,  $i=1 \sim M-1$ 이다.

<68> 도 8a 내지 도 8c는 트렐리스 부호기와 연결되는 1/2 길쌈 부호기의 메모리가 2개, 3개, 4개인 경우에 대한 본 발명의 실시예이다.

<69> 즉, 도 8a는 메모리가 2개인 1/2 체계적 피드백 길쌈 부호기의 구성 블록도로서, 길쌈 부호화된 하위 비트( $d0'$ )를 피드백받아 일시 저장하는 M2 레지스터(36), 상기 M2 레지스터(36)의 출력과 정보 비트( $u$ )를 더하는 가산기(37), 및 상

기 가산기(37)의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트(d0')로 출력하는 M1 레지스터(38)로 구성된다.

<70> 도 8b는 메모리가 3개인 1/2 체계적 피드백 길쌈 부호기의 구성 블록도로서, 길쌈 부호화된 하위 비트(d0')를 피드백받아 일시 저장하는 M3 레지스터(39), 상기 M3 레지스터(39)의 출력과 정보 비트(u)를 더하는 제 1 가산기(40), 상기 제 1 가산기(40)의 출력을 일시 저장하는 M2 레지스터(41), 상기 M2 레지스터(41)의 출력과 피드백되는 길쌈 부호화된 하위 비트(d0')를 더하는 제 2 가산기(42), 및 상기 제 2 가산기(42)의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트(d0')로 출력하는 M1 레지스터(43)로 구성된다.

<71> 도 8c는 메모리가 4개인 1/2 체계적 피드백 길쌈 부호기의 구성 블록도로서, 길쌈 부호화된 하위 비트(d0')를 피드백받아 일시 저장하는 M4 레지스터(44), 상기 M4 레지스터(44)의 출력과 피드백되는 길쌈 부호화된 하위 비트(d0')를 더하는 제 1 가산기(45), 상기 제 1 가산기(45)의 출력을 일시 저장하는 M3 레지스터(46), 상기 M3 레지스터(46)의 출력과 정보 비트 u를 더하는 제 2 가산기(47), 상기 제 2 가산기(47)의 출력을 일시 저장하는 M2 레지스터(48), 및 상기 M2 레지스터(48)의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트(d0')로 출력하는 M1 레지스터(49)로 구성된다.

<72> 한편, 입력 심볼이 부가 데이터가 아닌 경우 예를 들면, MPEG 영상/음향 데이터인 경우에는 길쌈 부호기의 레지스터에 저장된 값이 입력 심볼 즉, 상위 비트 d1로 입력되는 값에 의해 변하면 안 된다. 즉, 상기 길쌈 부호기는 널 비트가 삽입된 부가 데이터 심볼에 대해서만 길쌈 부호화를 수행하여야 하며, 입력 심

불이 부가 데이터가 아닌 경우에는 길쌈 부호기의 각 레지스터는 자신의 출력 값을 피드백받아 현 상태를 계속 유지하여야 한다.

<73> 따라서, 트렐리스 부호기 앞단에 추가되는 1/2 길쌈 부호기는 입력이 부가 데이터 심볼인지 유무에 따라 동작하는 선택적 길쌈 부호기이다. 이때, 입력 심볼이 미리 정의된 시퀀스가 포함된 부가 데이터 심볼인 경우에는 상위 비트 d1로는 정보 비트가 입력되고, 하위 비트 d0로는 미리 정의된 시퀀스가 입력되며, 상기 트렐리스 부호기의 상위 비트 d1'로는 정보 비트가 그대로 입력되고, 하위 비트 d0'로는 상기 정보 비트를 길쌈 부호화한 패리티 비트와 미리 정의된 시퀀스가 천공 제어 신호에 의해 다중화되어 입력된다. 반면에, 부가 데이터 심볼 이외의 경우에는 입력 두 비트가 모두 그대로 상기 트렐리스 부호기의 상,하위 비트 d1',d0'로 입력된다.

<74> 그리고, 이러한 선택적으로 동작하는 길쌈 부호기는 하나의 트렐리스 부호기에 각 하나씩 총 12개가 사용된다.

<75> 도 9는 이를 고려한 본 발명의 각 1/2 부호율 부호기의 구성 블록도로서, 실시예로 레지스터가 도 8a와 같이 2개인 피드백 형태의 1/2 길쌈 부호기를 나타내고 있다. 도 9를 설명의 편의상 부가 데이터 심볼 처리부라 칭한다.

<76> 도 9를 보면, 도 7의 1/2 길쌈 부호기 구조에 선택기의 하나인 멀티플렉서(51,54,57)가 더 추가된 형태이다.

<77> 즉, 도 9의 길쌈 부호기는 제어 신호 1에 따라 바로 뒤단의 레지스터(52)에서 피드백되는 값 또는 최종단의 레지스터(55)에서 피드백되는 값을 선택 출력하

는 멀티플렉서(51), 상기 멀티플렉서(51)의 출력을 일정 시간 저장하는 레지스터(52), 상위 비트 d1로 입력되는 값과 상기 레지스터(52)의 출력을 더하는 가산기(53), 상기 제어 신호 1에 따라 상기 가산기(53)의 출력 또는 바로 뒀단의 레지스터(55)에서 피드백되는 값을 선택 출력하는 멀티플렉서(54), 상기 멀티플렉서(54)의 출력을 일정 시간 저장하는 레지스터(55), 제어 신호 2에 따라 상기 레지스터(55)의 출력 또는 하위 비트 d0로 입력되는 값을 선택 출력하는 멀티플렉서(56), 및 상기 제어 신호 1에 따라 상기 멀티플렉서(56)의 출력 또는 하위 비트 d0로 입력되는 값을 선택 출력하는 멀티플렉서(57)로 구성된다.

<78> 이때, 상기 멀티플렉서(51,54,57)에 입력되는 제어 신호 1은 입력 심볼이 부가 데이터 심볼인지 아닌지를 알려준다. 일 예로, 입력 심볼이 부가 데이터일 경우 상기 멀티플렉서(51,54,57)로 입력되는 제어 신호 1은 '1'이고, 부가 데이터가 아닐 경우 '0'이라고 가정한다.

<79> 따라서, 상기 멀티플렉서(51)는 입력 심볼이 부가 데이터인 경우 즉, 제어 신호 1이 '1'인 경우에는 상기 최종 레지스터(55)에서 피드백되는 길쌈 부호화된 값을 선택하여 레지스터(52)로 출력하고, 부가 데이터가 아닌 경우 즉, 제어 신호 1이 '0'인 경우에는 입력 비트 d1에 영향받지 않고 현재 상태를 유지하기 위해 레지스터(52)에서 피드백되는 값을 선택하여 레지스터(52)로 출력한다. 그리고, 상기 멀티플렉서(54)는 제어 신호 1이 '1'인 경우에는 상기 가산기(53)에서 출력되는 값을 선택하여 레지스터(55)로 출력하고, 제어 신호 1이 '0'인 경우에는 레지스터(55)에서 피드백되는 값을 선택하여 레지스터(55)로 출력한다. 상기 멀티플렉서(57)는 제어 신호 1이 '1'인 경우에는 상기 멀티플렉서(56)의 출력 값

을 선택하여 트렐리스 부호기의 하위 비트 d0'로 출력하고, 제어 신호 1이 '0'인 경우에는 하위 비트 d0로 입력되는 값을 선택하여 상기 트렐리스 부호기의 하위 비트 d0'로 출력한다.

<80>      상기 멀티플렉서(56)는 제어 신호 2에 따라 길쌈 부호화된 패리티 비트 또는 미리 정의된 시퀀스를 선택 출력하는 선택기이며, 상기 멀티플렉서(56)로 입력되는 제어 신호 2는 도 6의 천공 제어 신호와 동일하다. 즉, 상기 멀티플렉서(56)는 상기 제어 신호 2가 '1'이면 길쌈 부호화된 패리티 비트 즉, 레지스터(53)에 저장된 값을 선택하고, '0'이면 하위 비트 d0로 입력되는 미리 정의된 시퀀스를 선택하여 멀티플렉서(57)로 출력한다.

<81>      도 10은 제어 신호 발생부의 일 예로서, 제어 신호 1로부터 천공 제어 신호 즉, 제어 신호 2를 생성시키는 예를 보이고 있다. 상기 제어 신호 2는 부가 데이터 심볼인 구간에서만 액티브되는 신호로서, 부가 데이터 심볼이 아닌 경우에는 켜진 제어 신호 2의 값은 상관없다.

<82>      즉, 천공 패턴 반복기(58)는 제어 신호 1이 부가 데이터 심볼임을 가리키면 미리 설정된 천공 패턴을 반복하여 출력한다. 예를 들어, 상기 천공 패턴 반복기(58)가 100 패턴을 반복하도록 설정되었다면, 상기 천공 패턴 반복기(58)는 부가 데이터 심볼이 입력되는 동안에는 제어 신호 2로 100을 계속 반복하여 출력한다.

<83>      그리고, 상기 제어 신호 1은 부가 데이터 심볼임을 지시하는 신호로서, 상기 제어 신호 1의 생성 과정은 여러 가지가 있을 수 있으며, 본 출원인에 의해

기 출원된 특허(출원번호 : P01-21446, 출원일 : 2001.4.20)를 그대로 적용할 수도 있다.

<84> 한편, ATSC 8T-VSB 리드 솔로몬 부호기 이후에 부가 데이터 심볼의 미리 정의된 시퀀스가 상기 도 9의 부가 데이터 심볼 처리부에서 바뀌기 때문에, 기존의 ATSC 8T-VSB 수신기에서 리드 솔로몬 부호 복호시에 부가 데이터 패킷에 오류가 발생한 것으로 나타나게 된다. 이러한 영향을 막기 위해서는, 상기 부가 데이터 심볼 처리부에 의해 변환된 데이터에 해당하는 리드 솔로몬 패리티 바이트를 다시 계산하여야 한다. 즉, 처음 부가 데이터(즉, 1/2 길쌈 부호화 전의 부가 데이터)에 부가되었던 리드 솔로몬 패리티 바이트를 제거하고 상기 1/2 길쌈 부호화된 부가 데이터에 대해 리드 솔로몬 패리티 바이트를 다시 부가하여야 한다.

<85> 이를 위해, 상기 부가 데이터 심볼 처리부의 출력을 심볼-바이트로 변환하고, 데이터 디인터리버의 동작을 취한 후에 처음 계산되었던 리드-솔로몬 패리티를 제거한다. 그리고, 상기 리드 솔로몬 패리티가 제거된 데이터에 대해 ATSC 8T-VSB 송신부에서 다시 리드-솔로몬 부호화를 수행하여 리드 솔로몬 패리티를 부가한다. 그러면, 1/2 길쌈 부호화된 데이터에 해당하는 리드 솔로몬 패리티가 부가되므로, ATSC 8T-VSB 수신기에서 리드 솔로몬 복호시에 부가 데이터 패킷에 오류가 발생하지 않는다.

<86> 이러한 과정을 도 11에 도시하였다.

<87> 도 11은 본 발명에 따른 디지털 VSB 전송 시스템의 전체 구성 블록도로서, 부가 데이터에 대해 리드 솔로몬 부호화, 널 시퀀스 삽입, MPEG 헤더를 삽입하는 부가 데이터 처리부(61), 상기 부가 데이터 처리부(61)에서 출력되는 부가 데이



터 패킷 또는, MPEG 데이터 패킷을 선택 출력하는 멀티플렉서(62), 상기 멀티플렉서(62)에서 출력되는 데이터 패킷에 대해 데이터 랜덤마이즈, 리드 솔로몬 부호화, 데이터 인터리빙, 바이트-심볼 변환 동작을 순차적으로 수행하는 제 1 부호화부(63), 상기 제 1 부호화부(63)에서 출력되는 심볼이 부가 데이터 심볼인지 여부를 지시하는 제어 신호 1과 천공 제어 신호인 제어 신호 2를 생성하여 출력하는 제어 신호 발생부(64), 상기 제어 신호 발생부(64)에서 출력되는 제어 신호 1이 부가 데이터 심볼임을 지시하면 상기 제 1 부호화부(63)에서 출력되는 심볼에 대해 1/2 길쌈 부호화를 수행하며, 부가 데이터 심볼인 구간에서 생성되는 제어 신호 2에 따라 상기 길쌈 부호화된 패리티 비트와 미리 정의된 시퀀스를 다중화하여 출력하는 부가 데이터 심볼 처리부(65), 상기 부가 데이터 심볼 처리부(65)를 통해 출력되는 심볼에 대해 바이트로 변환, 데이터 디인터리브, 리드 솔로몬 패리티 제거 동작을 순차적으로 수행하는 제 1 복호화부(66), 및 상기 제 1 복호화부(66)에서 리드 솔로몬 패리티가 제거된 데이터에 대해 다시 리드 솔로몬 부호화, 데이터 인터리브, 트렐리스 부호화등을 순차적으로 수행하는 8T-VSB 송신부(67)로 구성된다. 상기 8T-VSB 송신부(67)는 도 1의 구성에서 데이터 랜덤마이즈만 생략되어 있다.

<88> 즉, 부가 데이터는 부가 데이터 처리부(61)의 리드 솔로몬 부호기(61a), 데이터 인터리버(61b)(생략 가능), 널 시퀀스 삽입부(61c), 및 MPEG 헤더 삽입부(61d)를 순차적으로 거치면서 20 바이트의 리드 솔로몬 패리티, 널 시퀀스, MPEG 헤더가 삽입된 부가 데이터 패킷으로 변환된다.

- <89> 그리고, 멀티플렉서(62)는 상기 부가 데이터 패킷 또는 MPEG 영상/음향 데이터 패킷을 선택하여 제 1 부호화부(63)로 출력한다. 여기서, 상기 제 1 부호화부(63)와 제 1 복호화부(66)는 길쌈 부호화 전의 부가 데이터에 삽입된 리드 솔로몬 패리티를 제거하기 위한 것이다.
- <90> 즉, 상기 제 1 부호화부(63)의 데이터 랜덤마이저(63a)는 멀티플렉서(62)에서 출력되는 데이터에 대해 랜덤마이징을 수행하고, 리드 솔로몬 부호기(63b)는 리드 솔로몬 부호화를 수행하여 20바이트의 패리티를 부가한다. 데이터 인터리버(63c)는 패리티가 부가된 데이터에 대해 인터리빙을 수행하여 바이트-심볼 변환부(63d)로 출력한다. 상기 바이트-심볼 변환부(63d)는 인터리빙되어 바이트 단위로 출력되는 데이터를 2비트의 심볼로 변환하여 부가 데이터 심볼 처리부(65)로 출력한다.
- <91> 이때, 상기 부가 데이터 심볼 처리부(65)는 제어 신호 발생부(64)에서 출력되는 제어 신호 1에 따라 선택적으로 1/2 길쌈 부호화를 수행하며, 제어 신호 2에 따라 길쌈 부호화된 패리티 비트와 미리 정의된 시퀀스를 다중화하여 출력한다. 그리고 이의 상세 동작은 상기된 도 6 내지 도 10을 이용하여 상세 설명하였으므로 생략한다.
- <92> 상기 부가 데이터 심볼 처리부(65)에서 출력되는 데이터는 제 1 복호화부(66)의 심볼-바이트 변환부(66a)로 입력되어 다시 바이트 단위로 변환된 후 데이터 디인터리버(66b)로 출력된다. 상기 데이터 디인터리버(66b)는 바이트 단위의 데이터에 대해 상기 데이터 인터리버(63c)의 역동작을 수행하여 리드 솔로몬 패리티 제거부(66c)로 출력하고, 상기 리드 솔로몬 패리티 제거부(66c)는 상기 리

드 솔로몬 부호기(63b)에서 부가된 리드 솔로몬 패리티를 제거한 후 ATSC 8T-VSB 송신부(67)로 출력한다. 상기 8T-VSB 송신부(67)는 상기 패리티가 제거된 데이터에 대해 다시 리드 솔로몬 부호화를 수행하여 리드 솔로몬 패리티를 부가하는 동작부터 순서대로 도 1의 과정을 수행하여 부가 데이터를 전송한다.

<93> 한편, ATSC 8T-VSB 수신기는 상기된 전송 과정의 역동작을 수행하면 부가 데이터와 MPEG 데이터를 모두 수신하여 처리할 수 있다.

#### 【발명의 효과】

<94> 전술한 바와 같이 본 발명의 디지털 VSB 전송 시스템은 부가 데이터 심볼을 1/2 길쌈 부호화한 후 미리 정의된 시퀀스와 다중화하여 전송하는데, 특히 부가 데이터의 전송율을 떨어뜨리지 않기 위해서 천공 부호를 사용하고, 천공된 비트에 대해서는 1/2 길쌈 부호화된 패리티 비트 대신 부가 데이터 심볼에 포함되어 있던 미리 정의된 시퀀스를 전송함으로써, 다음과 같은 효과들을 얻을 수 있다.

<95> 첫째, 기존 ATSC 8T-VSB 수신기와 호환성을 유지하면서 동일 디지털 방송 채널을 통하여 MPEG 데이터와 부가 데이터를 다중화하여 전송할 수 있다.

<96> 둘째, 기존의 ATSC 8T-VSB 시스템보다 고스트와 잡음이 심한 채널에서도 MPEG 영상/음향 데이터 및 부가 데이터를 더욱 신뢰성있게 전송할 수 있다.

<97> 셋째, 미리 정의된 시퀀스만을 사용한 디지털 VSB 전송 시스템에 비해서 부가 데이터에 대해 더 큰 부호화 이득을 얻을 수 있다.

<98> 넷째, 1/2 길쌈 부호화만을 사용한 디지털 VSB 전송 시스템에 비해서 채널의 고스트에 대한 수신 성능을 개선할 수 있다.

<99>        이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<100>        따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

**【특허청구범위】****【청구항 1】**

부가 데이터에 대해 리드-솔로몬 부호화, 인터리빙, 미리 정의된 시퀀스 삽입을 수행한 후 MPEG 헤더를 삽입하여 MPEG 트랜스포트 패킷의 포맷으로 변환하는 부가 데이터 처리부;

상기 부가 데이터와 MPEG 방송 데이터를 다중화하여 출력하는 다중화부;

상기 다중화된 데이터에 대해 데이터 랜덤마이즈, 리드 솔로몬 부호화에 의한 패리티 부가, 데이터 인터리빙 및 바이트-심볼 변환을 순차적으로 수행하는 제 1 부호화부;

입력되는 데이터가 부가 데이터인 경우 상기 제 1 부호화부에서 출력되는 데이터에 대해 1/2 부호율로 부호화한 후 제어 신호에 따라 상기 부호화된 데이터와 상기 미리 정의된 시퀀스를 다중화하여 출력하는 부가 데이터 심볼 처리부;

입력되는 데이터가 부가 데이터인지를 판별하고 판별 결과에 해당하는 부가 데이터 심볼 지시 신호, 및 부호화된 데이터와 미리 정의된 시퀀스의 다중화를 제어하는 제어 신호를 생성하여 상기 부가 데이터 심볼 처리부로 출력하는 제어 신호 발생부;

상기 부가 데이터 심볼 처리부의 출력 데이터에 대해 심볼-바이트 변환, 데이터 디인터리빙을 수행한 후 상기 제 1 부호화부에서 부가된 리드 솔로몬 패리티를 상기 디인터리빙된 데이터로부터 제거하는 제 1 복호화부; 그리고

상기 제 1 복호화부에서 출력되는 데이터에 대해 트렐리스 부호화, 리드 솔로몬 부호화에 의한 패리티 부가, 데이터 인터리빙을 수행한 후 VSB 전송 방식으로 변조하여 전송하는 VSB 송신부를 포함하여 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

#### 【청구항 2】

제 1 항에 있어서, 상기 부가 데이터 심볼 처리부는

상기 제 1 부호화부에서 출력되는 부가 데이터를 그대로 출력함과 동시에 상기 부가 데이터에 대해 1/2 부호율로 부호화하여 패리티 비트를 발생하는 피드백 형태의 1/2 길쌈 부호기와,

상기 제어 신호에 따라 상기 1/2 부호율로 부호화된 패리티 비트와 상기 미리 정의된 시퀀스를 다중화하여 출력하는 선택부로 구성된 것을 특징으로 하는 디지털 VSB 전송 시스템.

#### 【청구항 3】

제 2 항에 있어서, 상기 피드백 형태의 1/2 길쌈 부호기는

상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,

길쌈 부호화된 하위 비트의 값을 피드백받아 소정값을 곱하는 곱셈기와,

상기 부가 데이터의 정보 비트를 입력받아 소정값을 곱하는 곱셈기와,

상기 두 곱셈기의 출력과 바로 전단의 레지스터의 출력을 더하는 가산기와,

상기 가산기의 출력을 일시 저장하는 레지스터를 포함하는 구조가 M(M은 자연수)개 직렬로 구비되며,

상기 곱셈기에 곱해지는 소정값은 0 또는 1의 값을 갖는 것을 특징으로 하는 디지털 VSB 전송 시스템.

**【청구항 4】**

제 2 항에 있어서, 상기 피드백 형태의 1/2 길쌈 부호기는  
상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,  
길쌈 부호화된 하위 비트를 피드백받아 일시 저장하는 M2 레지스터와,  
상기 M2 레지스터의 출력과 부가 데이터의 정보 비트를 더하는 가산기와,  
상기 가산기의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트로 출력하는  
M1 레지스터로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

**【청구항 5】**

제 2 항에 있어서, 상기 피드백 형태의 1/2 길쌈 부호기는  
상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,  
길쌈 부호화된 하위 비트를 피드백받아 일시 저장하는 M3 레지스터와,  
상기 M3 레지스터의 출력과 부가 데이터의 정보 비트를 더하는 제 1 가산  
기와,  
상기 제 1 가산기의 출력을 일시 저장하는 M2 레지스터와,  
상기 M2 레지스터의 출력과 피드백되는 길쌈 부호화된 하위 비트를 더하는  
제 2 가산기와,  
상기 제 2 가산기의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트로 출  
력하는 M1 레지스터로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

**【청구항 6】**

제 2 항에 있어서, 상기 피드백 형태의 1/2 길쌈 부호기는  
상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,  
길쌈 부호화된 하위 비트를 피드백받아 일시 저장하는 M4 레지스터와,  
상기 M4 레지스터의 출력과 피드백되는 길쌈 부호화된 하위 비트를 더하는  
제 1 가산기와,  
상기 제 1 가산기의 출력을 일시 저장하는 M3 레지스터와,  
상기 M3 레지스터의 출력과 부가 데이터의 정보 비트를 더하는 제 2 가산  
기와,  
상기 제 2 가산기의 출력을 일시 저장하는 M2 레지스터와,  
상기 M2 레지스터의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트로 출  
력하는 M1 레지스터로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

**【청구항 7】**

제 1 항에 있어서, 상기 제 2 부호화부는  
상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,  
입력되는 데이터가 부가 데이터가 아닌 경우에는 바로 뒷단의 레지스터에서  
피드백되는 값을 선택하고, 부가 데이터인 경우에는 최종단의 레지스터에서 피  
드백되는 값을 선택하여 출력하는 제 1 선택부와,  
상기 제 1 선택부를 통해 출력되는 값을 일시 저장하는 제 1 레지스터와,



상기 제 1 레지스터의 출력과 상기 부가 데이터의 정보 비트를 더하는 가산기와,

입력되는 데이터가 부가 데이터인 경우에는 상기 가산기에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 2 선택부와,

상기 제 2 선택부를 통해 출력되는 값을 일시 저장하는 제 2 레지스터와, 일정한 패턴이 반복되는 제어 신호에 따라 상기 제 2 레지스터의 출력 또는, 하위 비트로 입력되는 미리 정의된 시퀀스를 선택하여 출력하는 제 3 선택부와,

입력되는 데이터가 부가 데이터인 경우에는 상기 제 3 선택부에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 하위 비트로 입력되는 값을 선택하여 하위 비트 출력단으로 출력하는 제 4 선택부로 구성되며,

상기 제 1 레지스터, 가산기, 및 제 2 선택부는 상기 제 1 레지스터의 수만큼 직렬로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

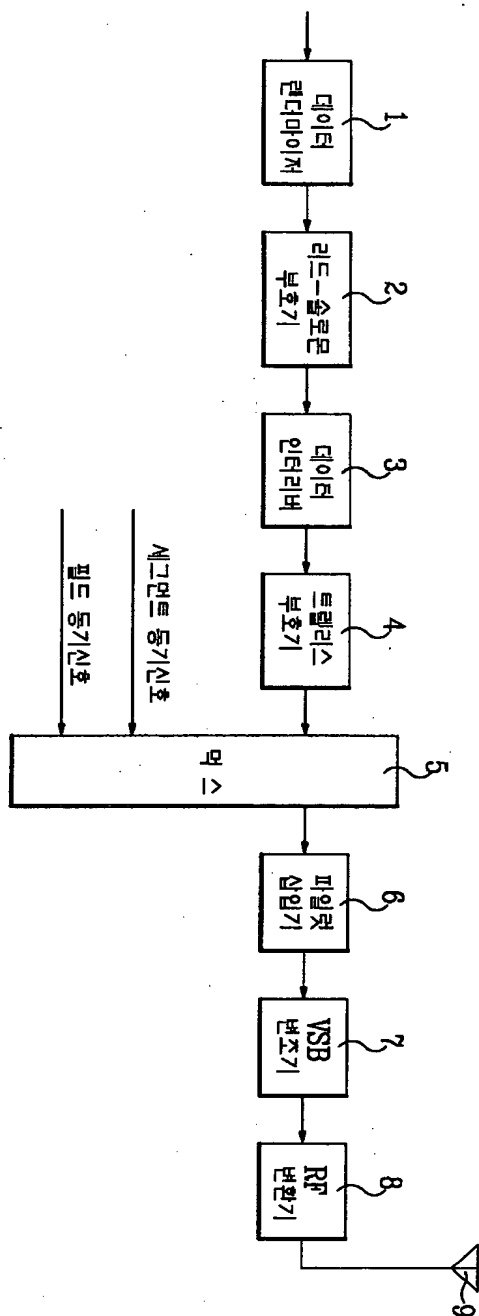
#### 【청구항 8】

제 7 항에 있어서, 상기 제 3 선택부로 출력되는 제어 신호는

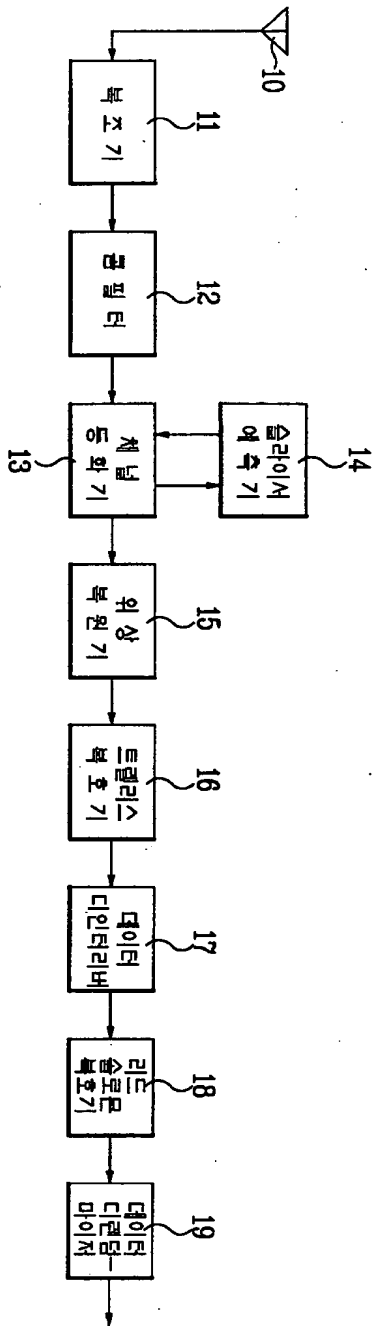
부가 데이터 심볼인 경우에만 액티브되는 제어 신호로서, 1/2 부호율로 부호화된 패리티 비트를 천공하기 위한 신호이며, 천공된 비트에 대해서는 상기 패리티 비트대신 미리 정의된 시퀀스를 출력하는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【도면】

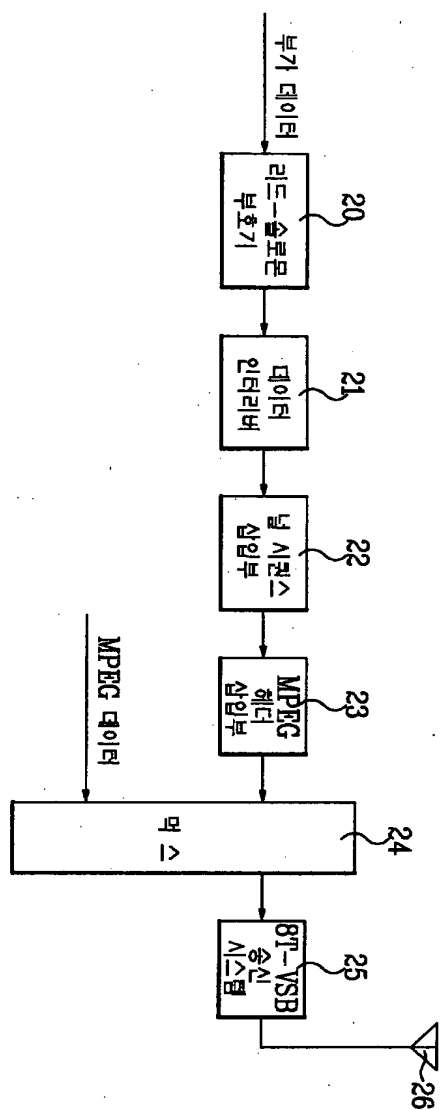
【도 1】



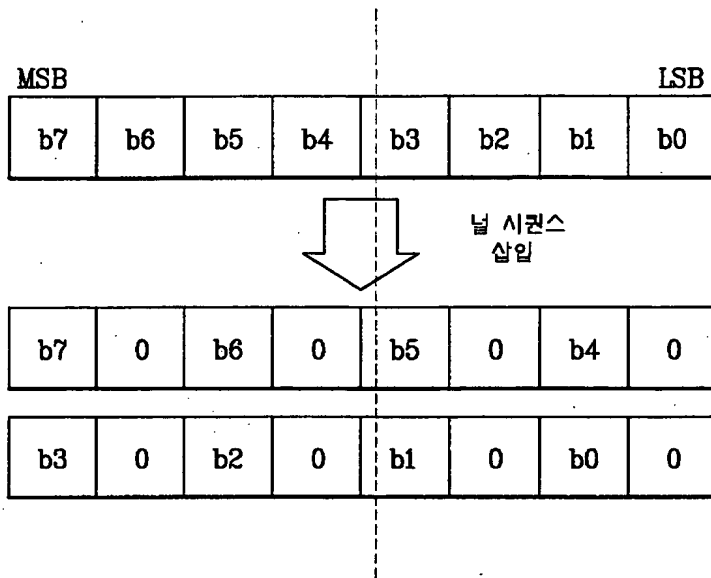
【도 2】



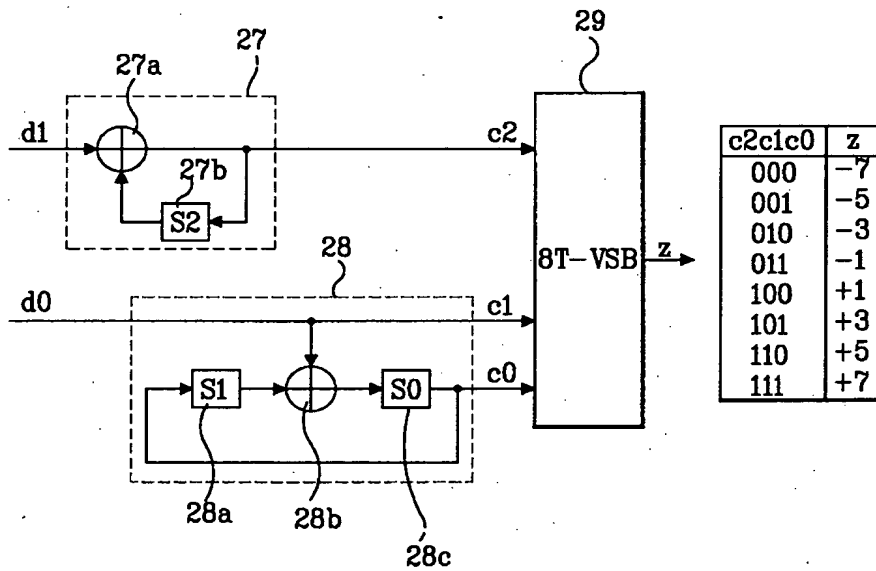
【도 3】



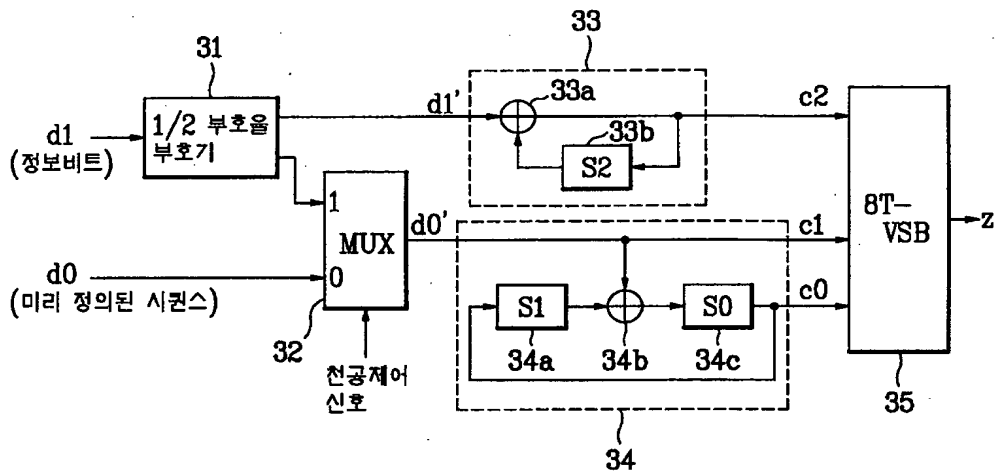
【도 4】



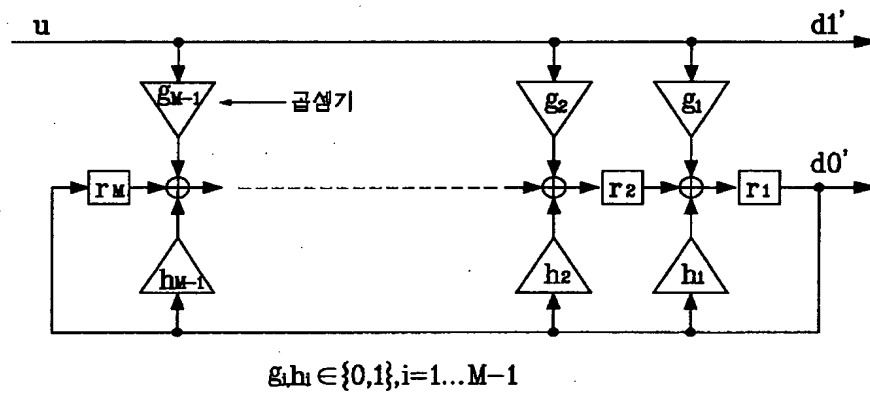
【도 5】



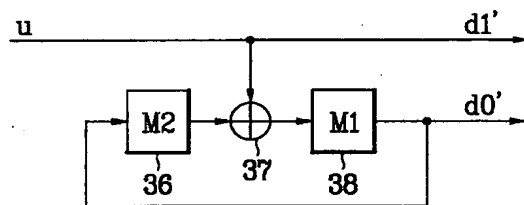
【도 6】



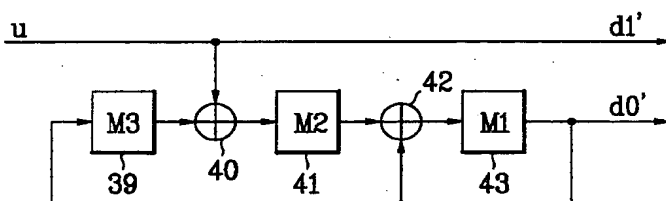
【도 7】



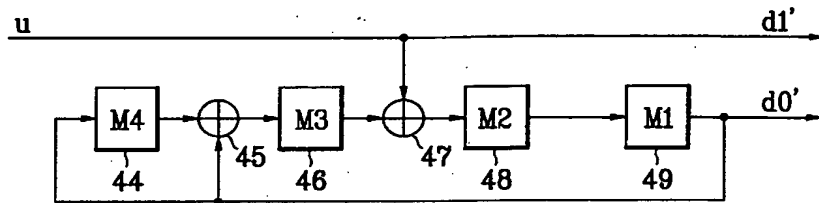
【도 8a】



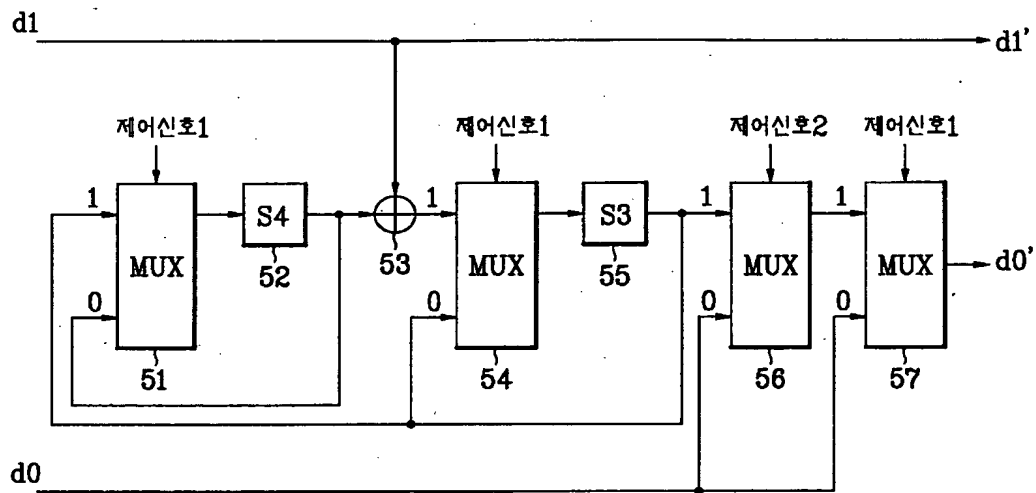
【도 8b】



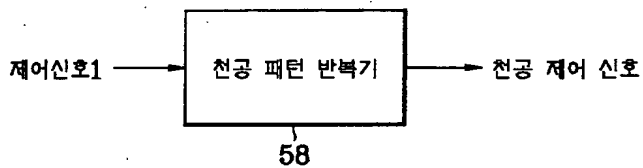
【도 8c】



【도 9】



【도 10】



【도 11】

